

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

John TWYNAM

Serial No.: New Application

Filing Date: January 23, 2004

For: COMPOUND SEMICONDUCTOR FET

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

**SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application Nos. 2003-123360 filed April 28, 2003.

The certified priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required,

applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **204552031600**.

Dated: January 23, 2004

Respectfully submitted,

By: 

Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster <sup>LLP</sup>  
1650 Tysons Boulevard, Suite 300  
McLean, Virginia 22102  
Telephone: (703) 760-7743  
Facsimile: (703) 760-7777



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 2 8 日  
Date of Application:

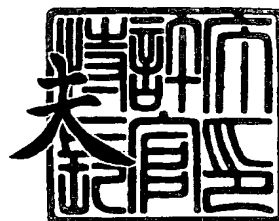
出 願 番 号            特 願 2 0 0 3 - 1 2 3 3 6 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 2 3 3 6 0 ]

出 願 人            シャープ株式会社  
Applicant(s):

2 0 0 4 年   1 月   7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 1 0 9 2 9 1

【書類名】 特許願

【整理番号】 189123

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/80

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社社内

    【氏名】 ジョン・トワイナム

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100084146

    【弁理士】

    【氏名又は名称】 山崎 宏

【選任した代理人】

    【識別番号】 100100170

    【弁理士】

    【氏名又は名称】 前田 厚司

【手数料の表示】

    【予納台帳番号】 204815

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0208766



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体 F E T

【特許請求の範囲】

【請求項 1】 基板上に、A l N 層、n 型デルタドーピング III-N 層、複数の I II-N 層が順次形成され、最上層の III-N 層にソース電極、ゲート電極、およびドレイン電極が設けられていることを特徴とする、化合物半導体 F E T。

【請求項 2】 上記 n 型デルタドーピング III-N 層は、n 型デルタドーピング G a N 層であり、

上記複数の III-N 層は、G a N 層と、該 G a N 層上に形成された A l G a N 層とからなり、

上記 A l G a N 層に上記ソース電極、上記ゲート電極、および上記ドレイン電極が設けられていることを特徴とする、請求項 1 に記載の化合物半導体 F E T。

【請求項 3】 上記 n 型デルタドーピング III-N 層は、n 型デルタドーピング G a N 層であり、

上記複数の III-N 層は、G a N 層と、該 G a N 上に形成された A l G a N 層とからなり、

上記 A l G a N 層上に絶縁層をさらに備え、かつ

上記 A l G a N 層に上記ソース電極および上記ドレイン電極が設けられ、上記絶縁膜に上記ゲート電極が設けられていることを特徴とする、化合物半導体 F E T。

【請求項 4】 上記 n 型デルタドーピング III-N 層の不純物濃度は、上記 A l N 層と上記 III-N 層の界面における電界の不連続性を低減させる濃度であることを特徴とする、請求項 1 に記載の化合物半導体 F E T。

【請求項 5】 上記基板の材料はサファイアであり、

各半導体層は C 面 G a 表面を持つ半導体であり、

上記 n 型デルタドーピング III-N 層のシートドーピング濃度は、 $1 \times 10^{13} \text{ cm}^{-2}$  以上  $2 \times 10^{13} \text{ cm}^{-2}$  以下の範囲にあることを特徴とする、請求項 1 に記載の化合物半導体 F E T。

【請求項 6】 上記基板の材料は S i C であり、

各半導体層はC面Ga表面向きの半導体であり、

上記n型デルタドープIII-N層のシートドーピング濃度は、 $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $1.5 \times 10^{13} \text{ cm}^{-2}$ 以下の範囲にあることを特徴とする化合物半導体FET。

【請求項7】 請求項1から請求項6のいずれか1項に記載の化合物半導体FETを備える、電子回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体FET（電界効果トランジスタ）およびそれを用いた電子回路に関し、特にGaN半導体FETに関するものである。

【0002】

【従来の技術】

従来から、GaNヘテロ接合FET（GaN HFET）が知られている。特許文献1に記載のGaNヘテロ接合FETについて図7を参照して説明する。図7の半導体層は六方晶のC面Ga表面型である。図7の半導体層と金属層のうち、21はサファイア基板、22は厚さ100nmのアンドープAlN層、23は厚さ1μmのアンドープGaN層、24は厚さ30nmのアンドープAl<sub>0.2</sub>Ga<sub>0.8</sub>N層、25はTi/Al/Pt/Au系ソースオーミック電極、26はPt/Au系ゲートショットキー電極、27はTi/Al/Pt/Au系ドレインオーミック電極である。

【0003】

アンドープGaN層23とAl<sub>0.2</sub>Ga<sub>0.8</sub>N層24の界面にチャネルが発生して電子の2次元電子ガス（2DEG：2dimensional electron gas）が発生する。Pt/Auゲートショットキー電極26にバイアス電圧を印加し、この2次元電子ガスの濃度を制御する。印加するバイアス電圧がデバイスの「ピンチオフ電圧（V<sub>p</sub>）」を超えると、2次元電子ガスの濃度がゼロになる。

【0004】

【特許文献1】

米国特許第 5192987 号 (図 5)

【0005】

【発明が解決しようとする課題】

しかし、従来の GaN HFE T はゲート電圧が  $V_p$  を超えて、2 次元電子ガスの濃度がゼロになってもゲートの下に電荷が残留し、ソース・ドレーン間に電圧をかけると電流が流れるという問題がある。この現象は「パラレルコンダクション」と呼ばれる。図 10 に示す従来の GaN HFE T の DC 特性 (ドレーン電流-ドレーン電圧特性) を参照すると、出力抵抗が低いためバイアス電圧  $V_g$  がピンチオフ電圧 ( $V_p = -4\text{ V}$ ) に達しても、「ピンチオフ」が生じていない特性が認められる。

【0006】

また、GaN HFE T のもう一つ問題としては、ゲート電圧が  $V_p$  を超えると、ゲート漏れ電流が流れる。この現象は「ゲート漏れ」と呼ばれる。図 11 に示す従来の GaN HFE T におけるゲート・ソースショットキーダイオード特性を参照すると、ゲートの逆バイアス電圧が高くなると漏れ電流が線形的に増加する特性が認められる。

【0007】

GaN 層 23 の厚さが薄くなる程、これら「ピンチオフ」と「ゲート漏れ」の問題が顕著となる。

【0008】

そこで、本発明は、化合物半導体 FET において、パラレルコンダクションとゲート漏れを解消ないしは緩和することを課題としている。

【0009】

【課題を解決するための手段】

GaN HFE T におけるパラレルコンダクションの問題は一般的にあるにもかかわらず、その原因については解明されていなかった。本発明者は、測定とシミュレーションを繰り返し行うことにより、パラレルコンダクションの問題とゲート漏れの問題の原因が同じであることを見出した。この原因は、AlN/GaN 界面にある 2 次元ホールガス (2DHG: 2 dimensional hole gas) の存在で



あると考えられる。

#### 【0010】

六方晶のGaNとAlNは自発分極が異なる。その上、どちらかの材料に歪みがあればピエゾ効果による分極が発生する。この自発分極とピエゾ分極によって従来のGaN HFE TのAlN/GaNヘテロ接合界面には電界の不連続が存在することになる。この電界の不連続によって2次元ホールガスが発生する。

#### 【0011】

従来のGaN HFE Tである前述の図7の構造について、自発分極とピエゾ分極の影響を考慮してシミュレーションを行なった結果を図8に示す。この図8は、ゲートバイアス電圧がゼロの状態のシミュレーション結果であり、エネルギーバンド図、電子濃度、ホール濃度を示す。AlN/GaNヘテロ接合界面に存在する2次元ホールガスのホール濃度 ( $p_s$ ) は  $1.8 \times 10^{13} \text{ cm}^{-2}$  である。この2次元ホールガスが、本来のチャネルであるGaN/AlGaNの界面 ( $n_s = 9.4 \times 10^{12} \text{ cm}^{-2}$  の2次元電子ガス) と平行なチャネルとなり、ソース・ドレイン間の電圧によって電流を導電する。これがパラレルコンダクションの原因である。

#### 【0012】

また、図7に示す上記従来のGaN HFE Tでは、AlN/GaNヘテロ界面にある2次元ホールガスによってショットキーゲート電極にも望ましくない電流が流れる。図9は、図7はゲート電極に高い負の電圧がかけられて、AlGaN/GaN界面にある2次元電子ガスの濃度がゼロになる場合のシミュレーション結果であり、エネルギーバンド図と電子濃度とホール濃度を示す。ホール電流が2次元ホールガスからゲート電極に流れる。これがゲート漏れの原因である。

#### 【0013】

本発明はかかる知見に基づいてなされたものである。

#### 【0014】

本発明の第1の態様は、基板上に、AlN層、n型デルタドープIII-N層、複数のIII-N層が順次形成され、最上層のIII-N層にソース電極、ゲート電極

、およびドレーン電極が設けられていることを特徴とする、化合物半導体FETを提供する。

【0015】

上記構成の化合物半導体FETでは、AlN層とIII-N層の界面にn型デルタドーピングIII-N層を設けたことにより、AlN層とIII-N層の界面に生じる2次元ホールガスを低減することができ、それによってパラレルコンダクションとゲート漏れの両方を解消ないしは緩和することができる。

【0016】

本明細書においてIII-N層とは、III属元素とN元素を含む化合物半導体層を言う。

【0017】

具体的には、上記n型デルタドーピングIII-N層は、n型デルタドーピングGaN層であり、上記複数のIII-N層は、GaN層と、該GaN上に形成されたAlGaN層とからなり、上記AlGaN層に上記ソース電極、上記ゲート電極、および上記ドレーン電極が設けられている。

【0018】

あるいは、上記n型デルタドーピングIII-N層は、n型デルタドーピングGaN層であり、上記複数のIII-N層は、GaN層と、該GaN上に形成されたAlGaN層とからなり、上記AlGaN層上に絶縁層をさらに備え、かつ上記AlGaN層に上記ソース電極および上記ドレーン電極が設けられ、上記絶縁膜に上記ゲート電極が設けられている。

【0019】

上記n型デルタドーピングIII-N層の不純物濃度は、上記AlN層と上記III-N層の界面における電界の不連続性を低減させる濃度であることが好ましい。

【0020】

上記基板の材料はサファイアであり、各半導体層はC面Ga表面を持つ半導体の場合、上記n型デルタドーピングIII-N層のシートドーピング濃度は、 $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $2 \times 10^{13} \text{ cm}^{-2}$ 以下の範囲にあることが好ましい。

【0021】

上記基板の材料はSiCであり、各半導体層はC面Ga表面向きの半導体である場合、上記n型デルタドープIII-N層のシートドーピング濃度は、 $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $1.5 \times 10^{13} \text{ cm}^{-2}$ 以下の範囲にあることが好ましい。

#### 【0022】

本発明の第2の態様は、上記の化合物半導体FETのいずれかを備える電子回路を提供する。

#### 【0023】

##### 【発明の実施の形態】

##### (第1実施形態)

本発明の第1実施形態にかかるGa HFE Tの構造を図1に示す。図1に示す半導体層と金属層のうち、11は基板、12は厚さ100 nmのアンドープAlN層、18はGa Nデルタドープ層（シートドーピング濃度は $N_s = 1.5 \times 10^{13} \text{ cm}^{-2}$ である。）、13は厚さ1  $\mu\text{m}$ のアンドープGa N層、14は厚さ30 nmアンドープAl<sub>0.2</sub>Ga<sub>0.8</sub>N層、15はTi / Al / Pt / Au系ソースオーミック電極、16はPt / Au系ゲートショットキ電極、17はTi / Al / Pt / Au系ドレーンオーミック電極である。

#### 【0024】

Ga Nデルタドープ層18が、アンドープAlN層12とアンドープGa N層13の界面に存在する点が本発明の特徴である。デルタドープ層とは、非常に薄い層中に不純物をドーピングした層のことで、理想的には厚さは0 nmであるが、実際にはある程度の厚みを有する。本発明では厚さが50 nm以下であることが好ましい。

#### 【0025】

このGa N HFE Tの製法の概略を説明すると、基板11の材料はサファイアであり、この基板11上に各半導体層を分子線エピタキシー（MBE : Molecular Beam Epitaxy）により成長させる。アンドープAlN層12、Ga Nデルタドープ層18、アンドープGa N層13、およびアンドープAlGa N層14を順次結晶成長させた後、電極15、16、17をアンドープAlGa N層14の上に形成する。アンドープGa N層13は、C面Ga表面型である。

## 【0026】

GaNデルタドープ層18には不純物としてSiをドープし、そのシートドーピング濃度 $N_s$ は、 $1.5 \times 10^{13} \text{ cm}^{-2}$ である。

## 【0027】

図1の構造のGa HFE Tについて、自発分極とpiezo分極の影響を考慮してシミュレーションを行なった結果を図2に示す。図2はゲートバイアス電圧がゼロの状態のシミュレーション結果であり、エネルギーバンド図、電子濃度、ホール濃度を示す。AlN/GaNヘテロ接合界面には、2次元ホールガスが依然として存在しているが、そのホール濃度 $p_s$ は $2.9 \times 10^{12} \text{ cm}^{-2}$ であり、図8に示すように $2.9 \times 10^{13} \text{ cm}^{-2}$ である従来のGa HFE Tにおける2次元ホールガスのホール濃度と比較すると低くなっている。2次元ホールガスは、本来のチャネルであるGaN/AlGaN界面(2次元電子ガスの濃度 $n_s$ は $9.4 \times 10^{12} \text{ cm}^{-12}$ )と平行なチャネルとなるが、ホール濃度が低くなったことにより、ソース・ドレイン間の電圧によって導電する電流値も減少する。換言すれば、パラレルコンダクションが緩和される。

## 【0028】

図3もGaN HFE Tのエネルギーバンド図と電子濃度とホール濃度を示す図である。図3のGaN HFE Tの構造が図1と異なるのは、GaNデルタドープ層18のシートドーピング濃度が高い点のみである。詳細には、図1の構造におけるGaNデルタドープ層18のシートドーピング濃度 $N_s$ は $1.5 \times 10^{13} \text{ cm}^{-2}$ であるのに対して、この図3の構造におけるGaN デルタドープ層18のシートドーピング濃度 $N_s$ は、 $3.0 \times 10^{13} \text{ cm}^{-2}$ である。図3に示すように、デルタドープ層のドーピング濃度が高すぎることにより、AlN/GaN界面に2次元ホールガス(電子濃度 $n_s$ は $1.9 \times 10^{13} \text{ cm}^{-2}$ )が発生する。この2次元電子ガスがGaN/AlGaN界面(2次元電子ガスの濃度 $n_s$ は $9.4 \times 10^{12} \text{ cm}^{-12}$ )と平行なチャネルとなり、ソース・ドレイン間の電圧によって電流を導電することになる。

## 【0029】

AlN/GaN界面にあるGaNデルタドープ層18のシートドーピング濃度

$N_s$  は、 $0 < N_s \leq N_{smax}$  の範囲が最も有効である。 $(N_{smax}$  を少し超えても、発生する 2 次元電子ガスの電子濃度が低ければよい。) 最大のシートドーピング濃度  $N_{smax}$  は  $AlN/GaN$  の界面にある電界の不連続性をちょうど補正するような濃度である。サファイア基板に C 面 Ga 表面 GaN 層の場合は  $N_{smax}$  が  $2 \times 10^{13} \text{ cm}^{-2}$  である。SiC 基板に C 面 Ga 表面 GaN 層の場合は  $N_{smax}$  が  $1.5 \times 10^{13} \text{ cm}^{-2}$  である。

#### 【0030】

サファイア基板の場合、好ましくは  $1 \times 10^{13} \text{ cm}^{-2} < N_s < 2 \times 10^{13} \text{ cm}^{-2}$  の範囲である。その理由は、 $1 \times 10^{13} \text{ cm}^{-2}$  より低いと自発分極によるホール電荷をあまり補正出来ないので、「平行コンダクション」と「ゲート漏れ」を十分に解消できない。また、 $N_s$  が  $N_{smax}$  より高いと自発分極によるホール電荷を補正しすぎて、電子電荷が発生して「平行コンダクション」の問題が発生する。

#### 【0031】

SiC 基板の場合、好ましくは  $5 \times 10^{12} \text{ cm}^{-2} < N_s < 1.5 \times 10^{13} \text{ cm}^{-2}$  の範囲である。その理由は、サファイア基板の場合と同様である。数値が異なる  $AlN$  層の歪みが基板によって変わる。材質が決まれば、 $N_s$  の下限と上限が決まる。

#### 【0032】

ゲート漏れの原因である  $AlN/GaN$  ヘテロ界面にある 2 次元ホールガスからゲート電極に流れる電流は、2 次元ホールガスのシート抵抗が高ければ減少するので、シート抵抗が高いほうが望ましい。

#### 【0033】

本発明では、n 型である GaN デルタドープ層 18 によって、 $AlN/GaN$  ヘテロ界面にある 2 次元ホールガスの濃度が低くなるので、ゲート漏れ電流が減少する。

#### 【0034】

(第 2 実施形態)

本発明の第 2 実施形態の GaN HFE T は、上記図 1 に示す第 1 実施形態と

同様の構造であるが、基板 11 の材料が SiC である点、半導体層の成長方法が有機金属気相成長法 (MOCVD: Metal Organic Chemical Vapor Deposition) である点、アンドープ GaN 層 13 の厚さが  $2\ \mu\text{m}$  である点、GaN デルタドープ層 18 のシートドーピング濃度が  $1.0 \times 10^{13}\ \text{cm}^{-2}$  である点が相違する。シミュレーション結果は第 1 実施形態 1 と同様であった。

#### 【0035】

(第 3 実施形態)

図 4 は第 3 実施形態にかかる GaN HFE T の構造を示す図である。第 3 実施形態における半導体層の成長方法は MBE であり、アンドープ GaN 層 73 は C 面 Ga 表面型である。アンドープ GaN 層 73 は  $0.75\ \mu\text{m}$  であって薄いので、成長のコストが低減される。上記図 7 に示す従来の HFE T の構造では、GaN 層がこのように薄い場合に、「パラレルコンダクション」と「ゲート漏れ」の問題が特に顕著となる。

#### 【0036】

この GaN HFE T の半導体層および金属層のうち、71 はサファイア基板、72 は厚さ  $50\ \text{nm}$  のアンドープ AlN 層、78 は GaN デルタドープ層 (シートドーピング濃度は  $N_s = 1.9 \times 10^{13}\ \text{cm}^{-2}$  である。)、73 は厚さ  $0.75\ \mu\text{m}$  のアンドープ GaN 層、74 は厚さ  $50\ \text{nm}$  のアンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  層、75 は Ti/Al/Pt/Au 系ソースオーミック電極、76 は Pt/Au 系ゲートショットキー電極、77 は Ti/Al/Pt/Au 系ドレーンオーミック電極である。

#### 【0037】

第 3 実施形態のアンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  層 74 の厚さは  $50\ \text{nm}$  であり、通常より厚くなっている。このアンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  層 74 が厚い構造は、 $V_p$  が高くなって電子の速度が速くなる点で有効な構造である。しかし、アンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  層 74 が厚いと GaN HFE T 全体としてのインピーダンスが高くなり、平行のホールチャネルに起因する「パラレルコンダクション」の影響がさらに顕著となる。

#### 【0038】

しかし、第3実施形態では、GaNデルタドープ層78によって「パラレルコンダクション」が緩和されるので、アンドープAlGaN層74が厚い構造であってもGaN FETは良好に動作する。つまり、アンドープGaN層73薄く、アンドープAlGaN層74が厚い場合に、本発明のGaNデルタドープ層78が特に有効である。

#### 【0039】

上述のように、GaNデルタドープ層78のシートドーピング濃度 $N_s$ は $1.9 \times 10^{13} \text{ cm}^{-2}$ である。この第3実施形態では、GaNデルタドープ層78の必要なシートドーピング濃度が高いため、GaNデルタドープ層78はある程度の厚さが必要である。GaNの最大のn型ドーピング濃度は概ね $5 \times 10^{18} \text{ cm}^{-3}$ であるので、シートドーピング濃度が $2 \times 10^{13} \text{ cm}^{-2}$ のGaNデルタドープ層を実現するためには、GaNデルタドープ層の厚さが40nm以上必要となる。

#### 【0040】

以上の実施形態では、MESFET (Metal Semiconductor Field Effect Transistor) について述べたが、AlGaN層上にさらに絶縁層を設けてMISFET (Metal Insulator Semiconductor Field Effect Transistor) にしてもよい。MISFETの場合には「ゲート漏れ」の問題がもともと起こらないが、「パラレルコンダクション」の問題は本発明により、MESFETと同じように解決できる。

#### 【0041】

以上の実施形態では、AlN/GaNのヘテロ接合はすべてアブラプト (abrupt) である。しかし、このAlN/GaNヘテロ接合は、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ の $x$ を連続的又は離散的なグレデーション (graded heterojunction) にしてもよい。ヘテロ接合がグレデーションである場合には、デルタドープ層の厚さがグレデーションの厚さとほぼ同じであることが望ましい。

#### 【0042】

携帯電話の基地局にあるパワーアンプ (PA: power amplifier) 回路には本発明のGaN HFETが特に有効である。その理由は、高出力である携帯電話

基地局のPAは印加電圧が高いのでゲート漏れの問題が特に発生しやすいからである。PA以外の回路(LNA, ミキサ、スイッチ等)にも本発明のHFETが使われたら有効である。

#### 【0043】

上記図10に示すように、従来のGaN HFETは、出力抵抗が低いためバイアス電圧 $V_g$ がピンチオフ電圧( $V_p = -4V$ )に達しても、「ピンチオフ」が生じない。これに対して、図5に示す本発明の第1実施形態のGaN FETのDC特性を参照すると、出力抵抗が高く、バイアス電圧 $V_g$ がピンチオフ電圧( $V_p = -4V$ )に達すると、「ピンチオフ」が概ね生じる特性が認められる。

#### 【0044】

上記図11に示すように、従来のGaN HFETではゲートの逆バイアス電圧が高くなると漏れ電流が線形的に増加する特性が認められる。一方、図6は本発明の第1実施形態のGaN HFETのゲート・ソースショットキダイオード特性を示している。ゲートの逆バイアス電圧が高い領域では、従来のGaN HFETに比較して漏れ電流値が大幅に減少している。周波数が高い場合は2次元ホールガスによりソースとドレインとの電気結合が強くなり、並行のインピーダンスが更に影響する。従って、本発明によって、GaN HFETのRFゲインとNF(雑音)特性が改善する。

#### 【0045】

##### 【発明の効果】

以上の説明から明らかなように、本発明の化合物半導体FETでは、AlN層とIII-N層の界面にn型デルタドープIII-N層を設けたことにより、AlN層とIII-N層の界面に生じる2次元ホールガスを低減することができ、それによってパラレルコンダクションとゲート漏れの両方を解消ないしは緩和することができる。

##### 【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るGaN FETを示す模式構成図である。

【図2】 第1実施形態に係るGaN FETのエネルギーバンド図、電子濃



度、及びホール濃度を示す図である。

【図3】 デルタドープ層のシートドーピング濃度が高すぎる場合のGaN FETのエネルギーバンド図、電子濃度、及びホール濃度を示す図である。

【図4】 本発明の第2実施形態に係るGaN FETを示す模式構成図である。

【図5】 本発明の実施形態に係るGaN HFETのDC特性を示す図である。

【図6】 本発明の実施形態に係るGaN HFETのDC特性を示す図。

【図7】 従来のGaN FETを示す模式構成図である。

【図8】 従来のGaN FETのエネルギーバンド図、電子濃度、及びホール濃度を示す図である。

【図9】 逆バイアスゲート電圧が高い状態の従来のGaN FETのエネルギーバンド図、電子濃度、及びホール濃度を示す図である。

【図10】 従来のGaN HFETのDC特性を示す図。

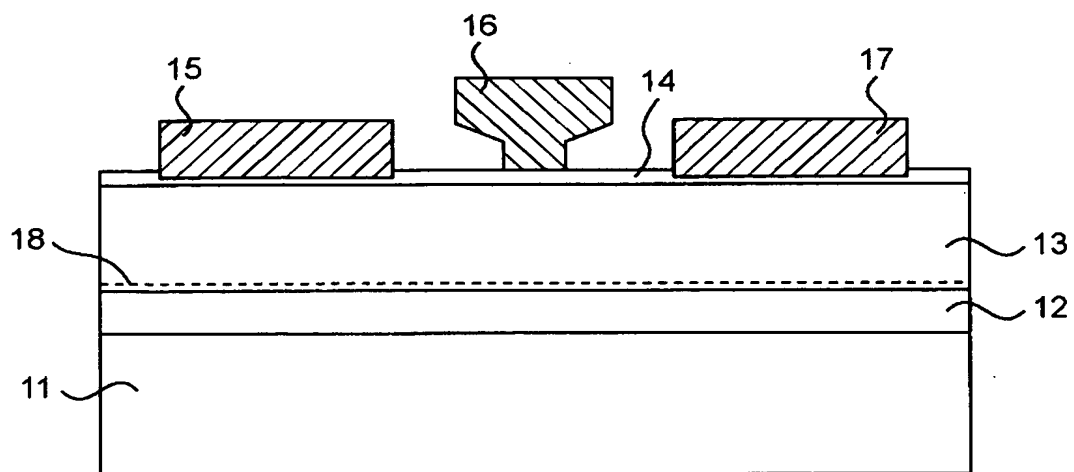
【図11】 従来のGaN FETのDC特性を示す図。

【符号の説明】

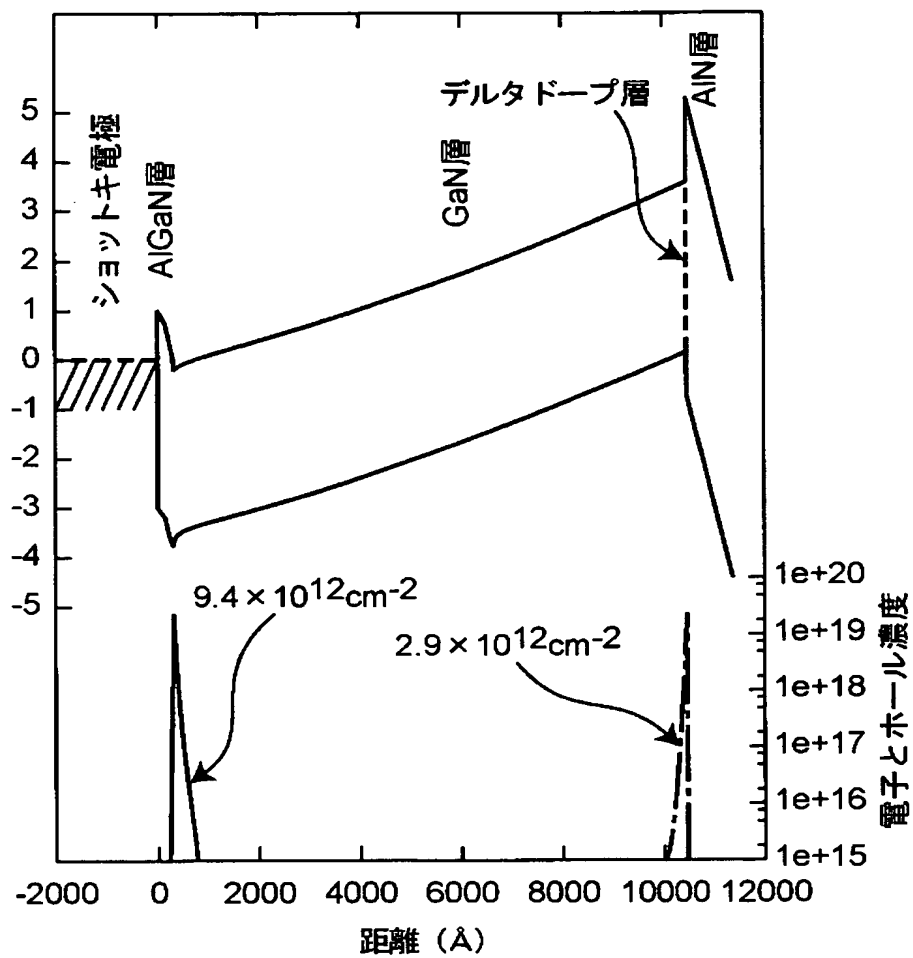
- 11, 21, 71 基板
- 12, 22, 72 アンドープAlN層
- 13, 23, 73 アンドープGaN層
- 14, 24, 74 アンドープAl<sub>0.2</sub>Ga<sub>0.8</sub>N層
- 15, 25, 75 Ti/Al/Pt/Au系ソースオーミック電極
- 16, 26, 76 Pt/Au系ゲートショットキ電極
- 17, 27, 77 Ti/Al/Pt/Au ドレインオーミック電極
- 18, 28, 78 GaNデルタドープ層

【書類名】 図面

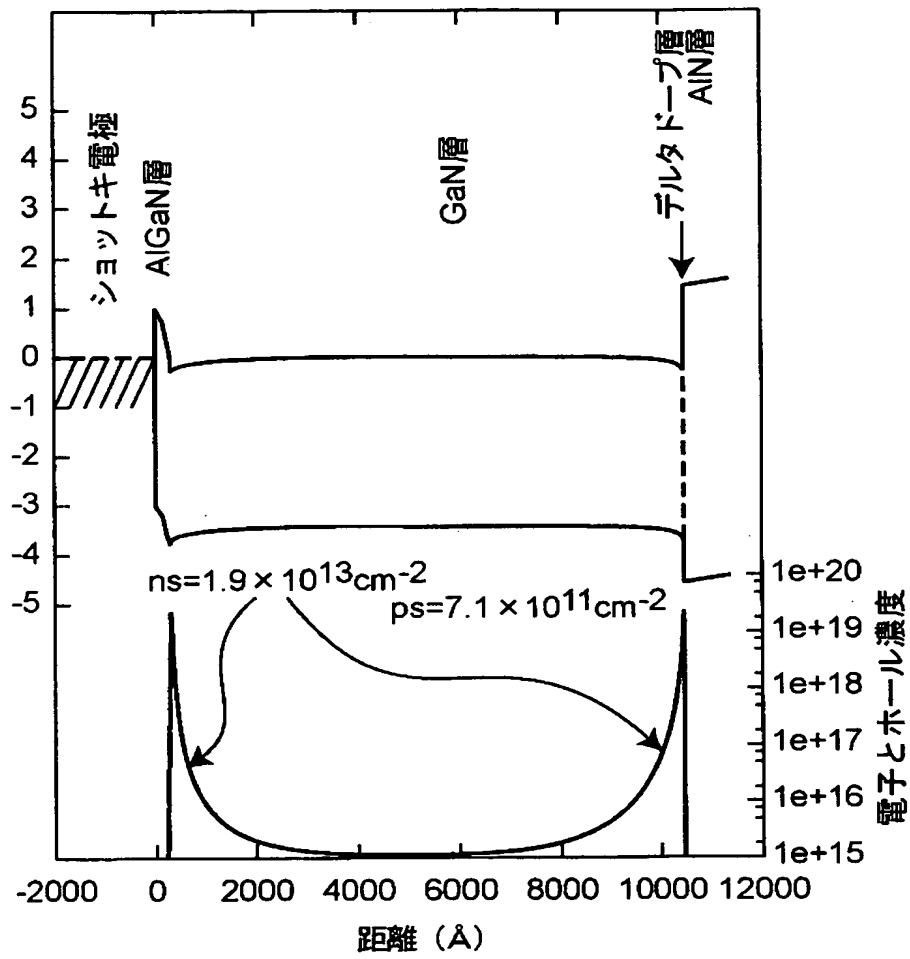
【図 1】



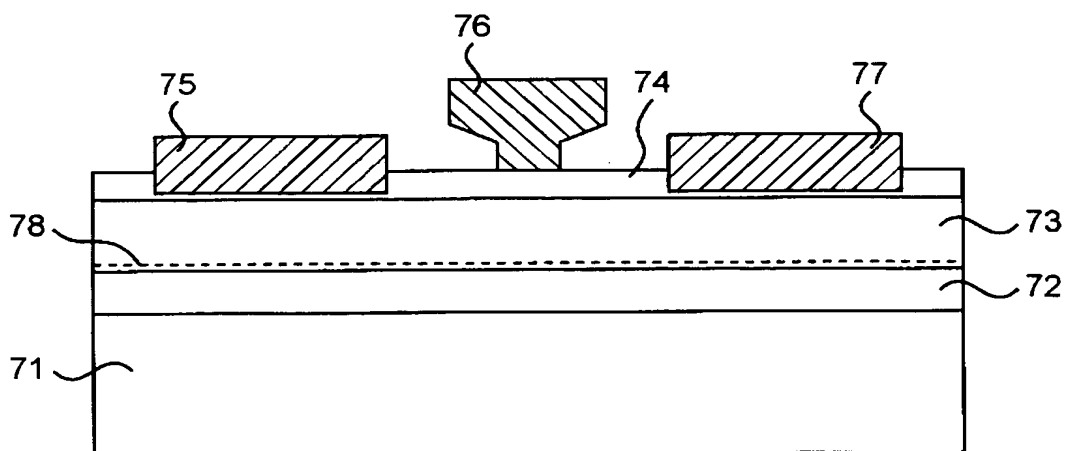
【図 2】



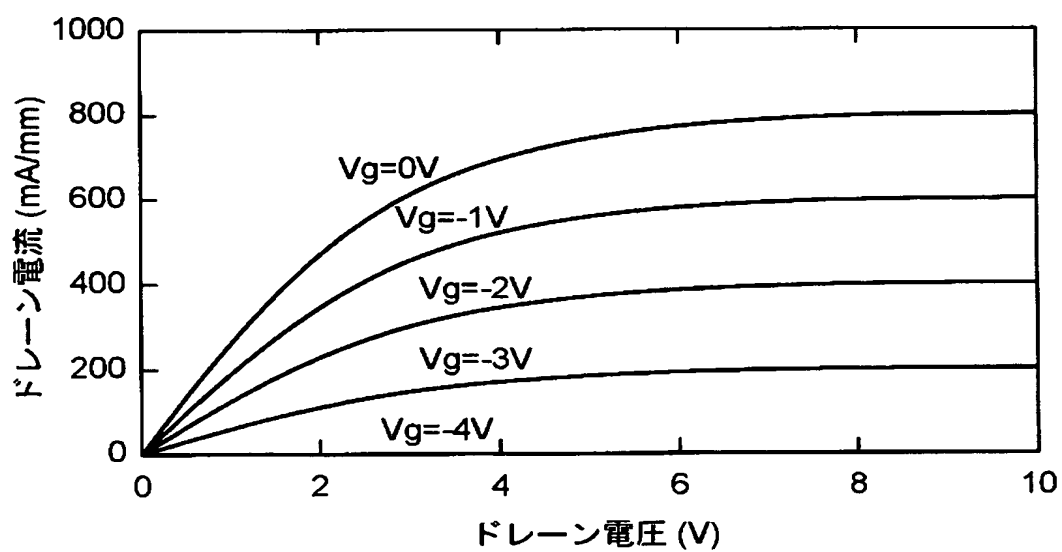
【図 3】



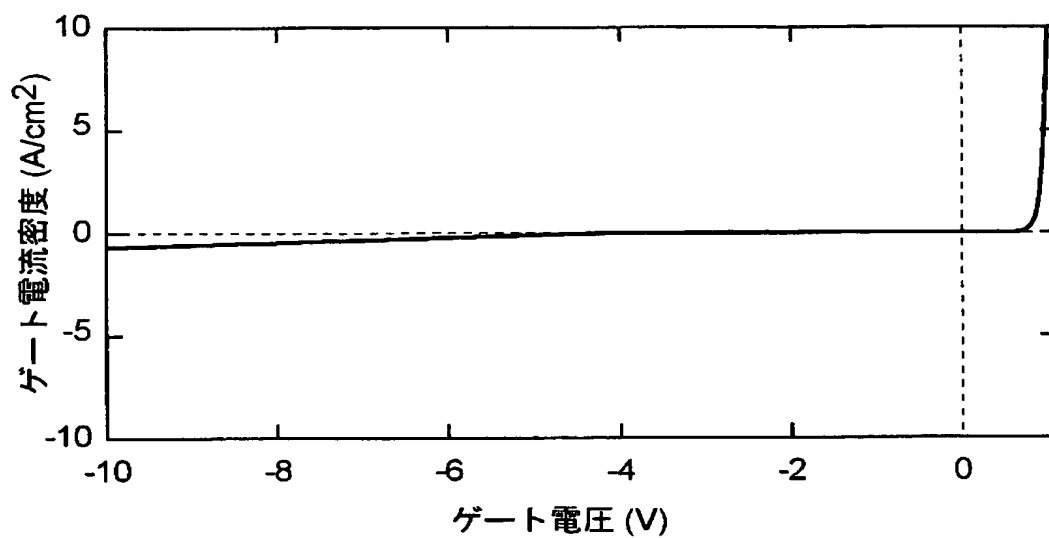
【図 4】



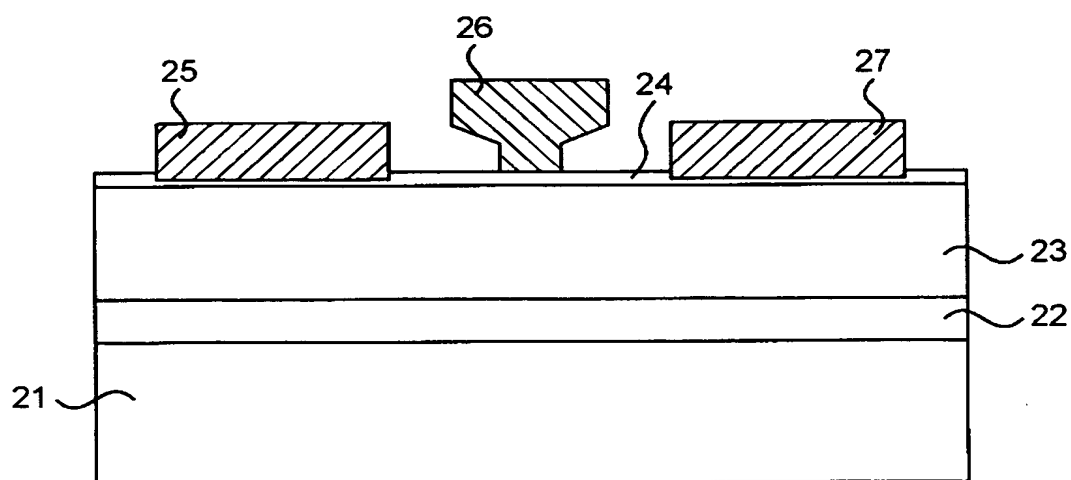
【図 5】



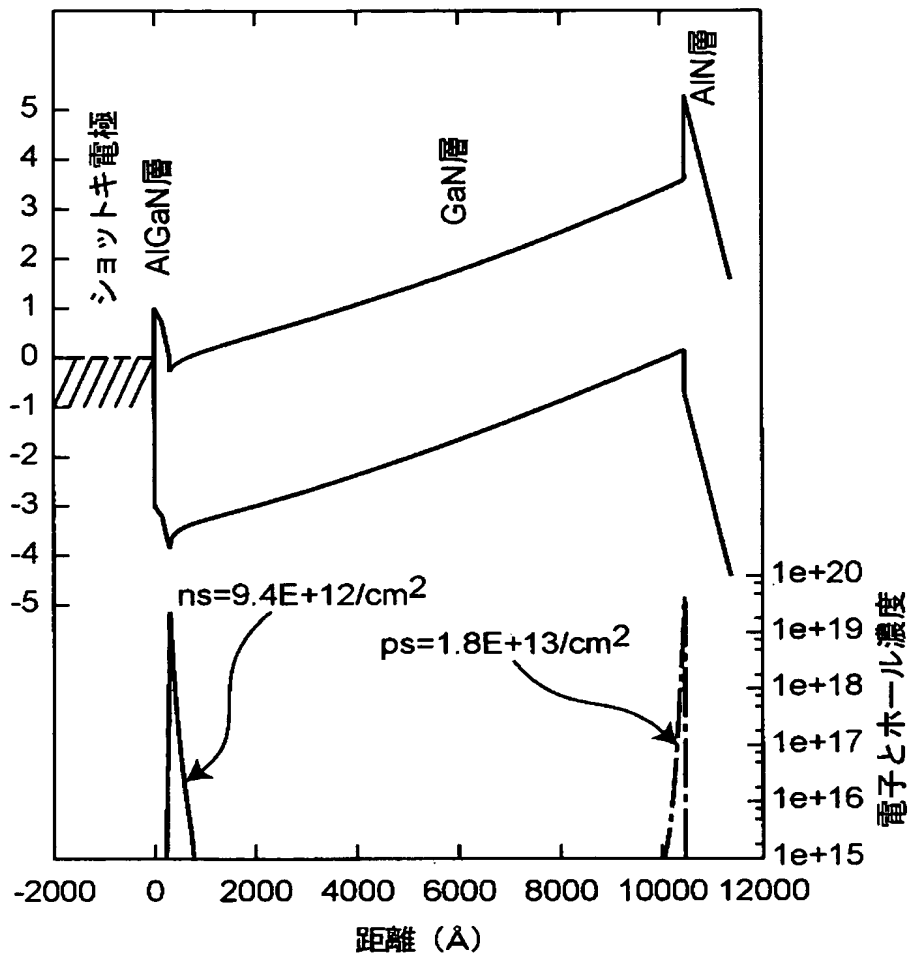
【図 6】



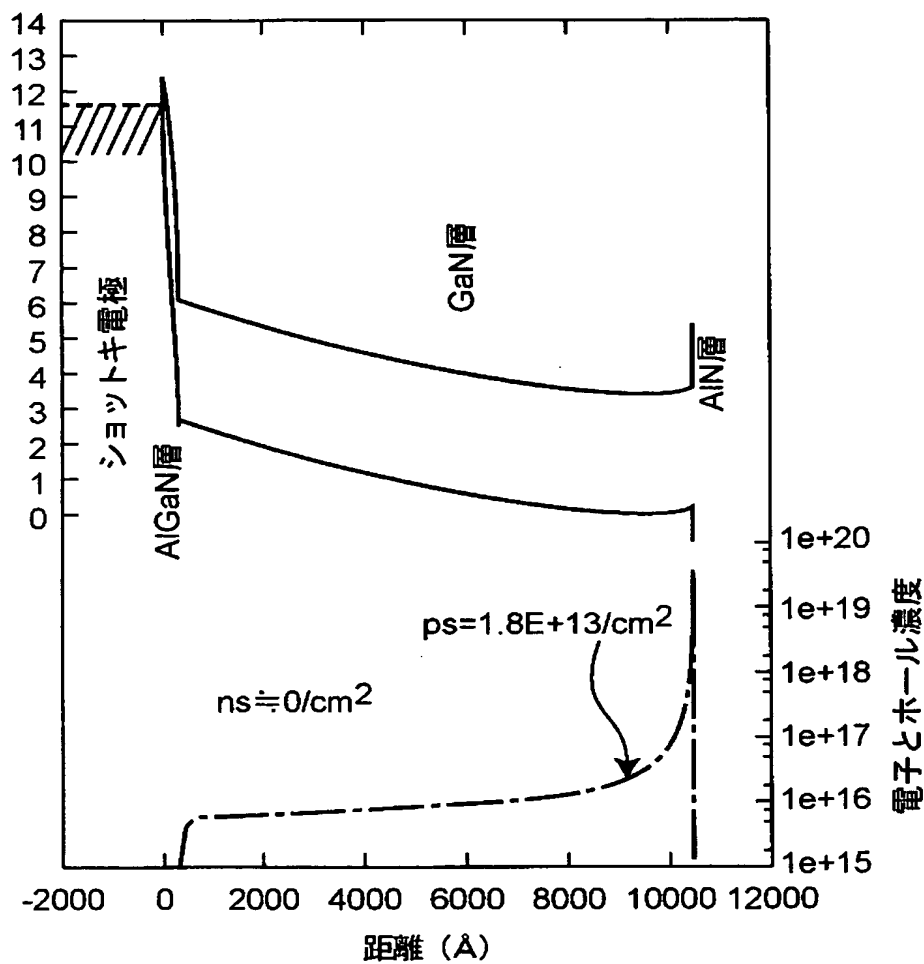
【図 7】



【図 8】

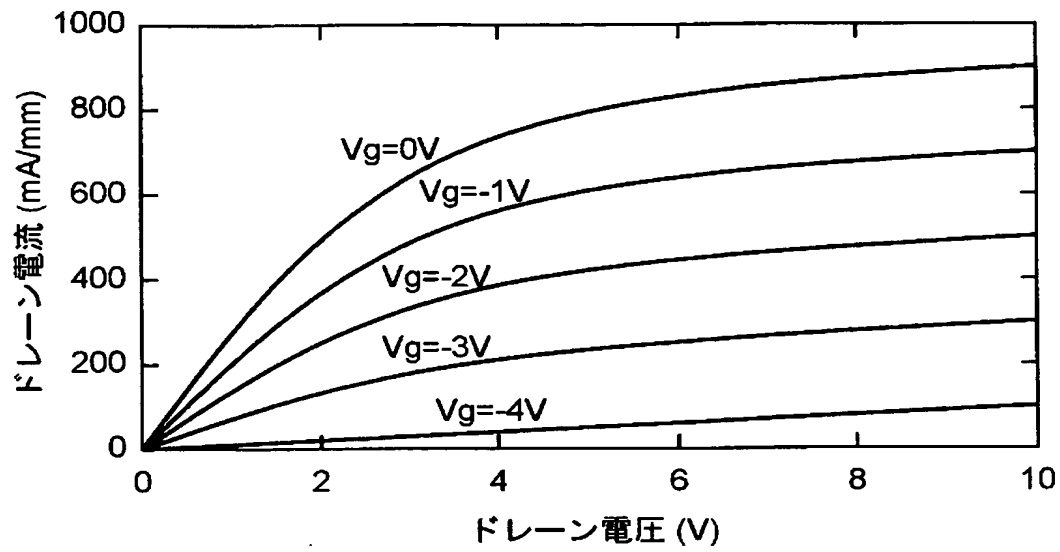


【図 9】

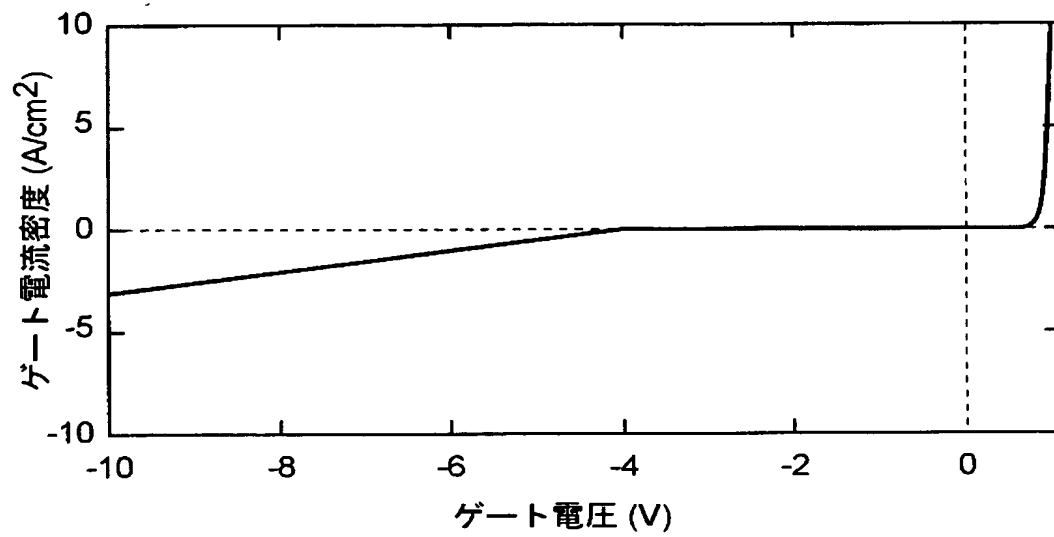




【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 化合物半導体 F E T において、パラレルコンダクションとゲート漏れを解消ないしは緩和する。

【解決手段】 G a N F E T の基板 1 1 上には、アンドープ A l N 層 1 2、G a N デルタドープ層 1 8、アンドープ G a N 層 1 3、およびアンドープ A l 0. 2 G a 0. 8 N 層 1 4 が順次形成されている。アンドープ A l 0. 2 G a 0. 8 N 層 1 4 には、T i / A l / P t / A u 系ソースオーミック電極 1 5、P t / A u 系ゲートショットキ電極 1 6、および T i / A l / P t / A u 系ドレインオーミック電極 1 7 が設けられている。

【選択図】 図 1

特願 2 0 0 3 - 1 2 3 3 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社